

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251582

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01L 29/78
H01L 27/115
H01L 29/66
H01L 29/68
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-049696

(71)Applicant : NEC CORP

(22)Date of filing : 02.03.1998

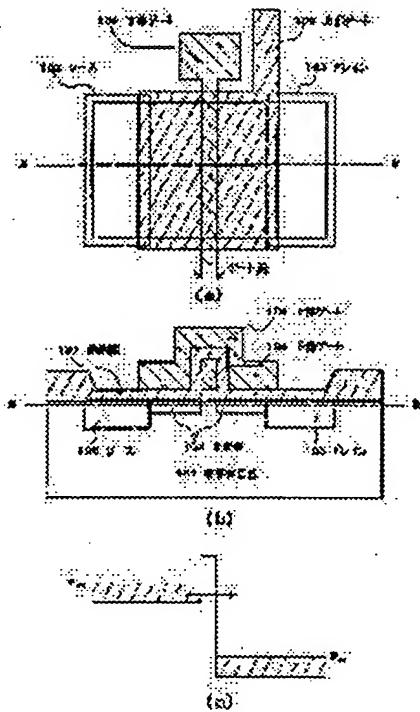
(72)Inventor : KAWAURA HISAO

(54) TUNNEL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a tunnel element which enhances the current drive ability and is capable of high-speed operation.

SOLUTION: A first insulation film 107 exists on a semiconductor substrate 101, a first gate electrode 105 exists on the first insulation film 107, a second insulation film exists on the first gate electrode 105, a second gate electrode 106 exists on the first and second insulation films, and first and second diffused layer regions 102, 103 having the same conductivity type exist on the semiconductor substrate 101 surface adjacent to the second gate electrode 106 sandwiching the second gate electrode 106 and is turned into a structure not two-dimensionally overlapped on the first gate electrode 105, the gate length of which is set to be about the wavelength of electron.



LEGAL STATUS

[Date of request for examination] 02.03.1998

[Date of sending the examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251582

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.
H 01 L 29/78
27/115
29/66
29/68
21/8247

識別記号

F I
H 01 L 29/78 301 J
29/66
29/68
27/10 434
29/78 371

審査請求 有 請求項の数 6 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願平10-49996

(22)出願日 平成10年(1998)3月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川浦 久雄

東京都港区芝五丁目7番1号 日本電気株式会社内

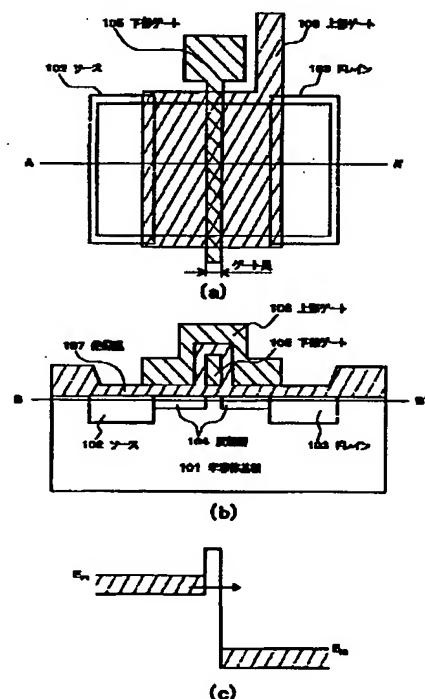
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 トンネル素子

(57)【要約】 (修正有)

【課題】 電流駆動能力を大幅に改善し、高速動作が可能なトンネル素子を提供する。

【解決手段】 半導体基板101上に第1の絶縁膜107が存在し、該第1の絶縁膜上に第1のゲート電極105が存在し、該第1のゲート電極上に第2の絶縁膜が存在し、該第1及び第2の絶縁膜上に第2のゲート電極106が存在し、該第2のゲート電極に隣接した該半導体基板表面に、同導電型を有する第1及び第2の拡散層領域102, 103域が該第2のゲート電極を挟んで存在し、これらの拡散層領域は該第1のゲート電極と平面的にオーバーラップしていない構造とし、該第1のゲート電極のゲート長を電子の波長程度とする。



【特許請求の範囲】

【請求項1】 半導体基板上に第1の絶縁膜が存在し、該第1の絶縁膜上に第1のゲート電極が存在し、該第1のゲート電極上に第2の絶縁膜が存在し、該第1及び第2の絶縁膜上に第2のゲート電極が存在し、該第2のゲート電極に隣接した該半導体基板表面に、同導電型を有する第1及び第2の拡散層領域が該第2のゲート電極を挟んで存在し、これらの拡散層領域は該第1のゲート電極と平面的にオーバーラップしていない構造を有し、

該第1のゲート電極のゲート長が電子の波長程度であることを特徴とするトンネル素子。

【請求項2】 前記第1のゲート電極のゲート長が0.1～50nmである請求項1記載のトンネル素子。

【請求項3】 半導体基板上に第1の絶縁膜が存在し、該第1の絶縁膜上に第1のゲート電極が存在し、該第1のゲート電極上に第2の絶縁膜が存在し、該第1及び第2の絶縁膜上に第2のゲート電極が存在し、

該第2のゲート電極に隣接した該半導体基板表面に、同導電型を有する第1及び第2の拡散層領域が該第2のゲート電極を挟んで存在し、これらの拡散層領域は該第1のゲート電極と平面的にオーバーラップしていない構造を有し、該第1のゲート電極は、該ゲート長が電子の波長程度の長さの領域と、該領域より長い電子の波長以上の長さの領域とを有し、

該第1のゲート電極のゲート長の短い領域の幅が0.1～50nmであることを特徴とするトンネル素子。

【請求項4】 前記第1のゲート電極のゲート長の短い領域のゲート長が0.1～50nmである請求項3記載のトンネル素子。

【請求項5】 請求項1又は2記載のトンネル素子を有するメモリ。

【請求項6】 請求項1又は2記載のトンネル素子を有するロジック回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFET型トンネル素子に関し、特に微細なゲート長を持つ素子において、大きな電流駆動能力を有し、多機能動作が可能なトンネル素子に関する。

【0002】

【従来の技術】特願昭58-96766号公報に記載のトンネル素子の平面構造を図3(a)に、図3(a)におけるA-A'線断面図を図3(b)に示す。

【0003】半導体基板301上の素子形成領域には絶縁膜307が存在し、また素子非形成領域ではこの絶縁膜307が厚くなっている。絶縁膜307上にはゲート308が存在する。ゲートに隣接した素子形成領域にはソース302及びドレイン303が存在し、互いに反対導電型の極性を持つ。

【0004】今、ソース302の導電型をn型、ドレイン303の導電型をp型とする。ゲート308に正電圧を印加して半導体基板301表面に電子からなるチャネル304を誘起すると、ソース302とチャネル304は同導電型のため電気的に接続される。一方、チャネル304とドレイン303は反対導電型のためPN接合を形成する。

【0005】ここで、ドレイン303が電気的に縮退する程度高濃度で、不純物プロファイルが急峻である場合、チャネル304中の電子はドレイン303内へトンネリングすることが可能になる。

【0006】図3(c)は、ソース302に対してドレイン303を順方向にバイアスした時の、図3(b)におけるB-B'線でのバンドダイアグラムである。反転層304及びドレイン303は縮退しているため、反転層304からドレイン303へトンネリングにより電子が流れることが可能になる。この場合、トンネルダイオードにおける順方向バイアスの場合と同様、負性微分特性が得られる。また前記反転層304内の電子濃度は、ゲート308に印加する電圧で変調可能であり、これに伴いトンネル電流値も変調を受け、この結果トランジスタ動作が可能となる。

【0007】図3(d)は、ソース302に対してドレイン303を逆方向にバイアスした時の、図3(b)におけるB-B'線でのバンドダイアグラムである。この場合は、ソース302に対しドレイン303に正電圧を印加すると、トンネルダイオードにおける逆方向バイアスの場合と同様、ドレイン電圧に対し非飽和型の特性が現れる。この場合も電流値はゲート308に印加する電圧により変調可能であり、トランジスタ動作が実現できる。

【0008】

【発明が解決しようとする課題】従来のトンネル素子では、その動作原理に伝導帯-価電子帯間のバンド間トンネリング現象を利用しているため、シリコンなどのような間接バンドギャップ型半導体の場合、バンド間トンネリングの際、格子との相互作用が必要になり、トンネル確率が小さく、電流駆動能力(数10nA)に乏しいという問題点を持っていた。

【0009】そこで本発明の主な目的は、従来のトンネル素子の持つ乏しい電流駆動能力を大幅に改善し、高動作を実現することにある。また他の目的として、メモリ、ロジック回路における素子数の大幅な低減を実現することにある。

【0010】

【課題を解決するための手段】本発明は、半導体基板上に第1の絶縁膜が存在し、該第1の絶縁膜上に第1のゲート電極が存在し、該第1のゲート電極上に第2の絶縁膜が存在し、該第1及び第2の絶縁膜上に第2のゲート電極が存在し、該第2のゲート電極に隣接した該半導体基板表面に、同導電型を有する第1及び第2の拡散層領域が該第2のゲート電極を挟んで存在し、これらの拡散層領域は該第1のゲート電極と平面的にオーバーラップ

していない構造を有し、該第1のゲート電極のゲート長が電子の波長程度であることを特徴とするトンネル素子に関する。

【0011】上記本発明においては、第1のゲート電極のゲート長が0.1~50nmであることが好ましい。

【0012】また本発明は、半導体基板上に第1の絶縁膜が存在し、該第1の絶縁膜上に第1のゲート電極が存在し、該第1のゲート電極上に第2の絶縁膜が存在し、該第1及び第2の絶縁膜上に第2のゲート電極が存在し、該第2のゲート電極に隣接した該半導体基板表面に、同導電型を有する第1及び第2の拡散層領域が該第2のゲート電極を挟んで存在し、これらの拡散層領域は該第1のゲート電極と平面的にオーバーラップしていない構造を有し、該第1のゲート電極は、該ゲート長が電子の波長程度の長さの領域と、該領域より長い電子の波長以上の長さの領域とを有し、該第1のゲート電極のゲート長の短い領域の幅が0.1~50nmであることを特徴とするトンネル素子に関する。

【0013】上記本発明においては、第1のゲート電極のゲート長の短い領域のゲート長が0.1~50nmであることが好ましい。

【0014】さらに本発明は、上記のトンネル素子を有するメモリ及びロジック回路に関する。

【0015】

【発明の実施の形態】第1の実施の形態

本発明のトンネル素子の第1の実施の形態の平面図を図1(a)に示す。また、図1(a)におけるA-A'線断面図を図1(b)に示す。

【0016】 $10^{14} \sim 10^{19} \text{ cm}^{-3}$ 程度のp型不純物を含んだ半導体基板101上に絶縁膜107が存在し、この絶縁膜107上に下部ゲート105が存在する。この下部ゲート105上には、絶縁膜107を介して上部ゲート106が存在する。

【0017】下部ゲート105下の絶縁膜107の厚さは数nm~数十nm程度であり、下部ゲート105上の絶縁膜107の膜厚も数nm~数十nm程度である。

【0018】素子を形成しない領域における絶縁膜107の膜厚は、素子間の電気的干渉を避けるため、数十nm~数百nm程度に厚くなっている。

【0019】前記上部ゲート106に隣接した半導体基板101表面には、n型不純物を 10^{19} cm^{-3} 以上含んだソース102、ドレイン103が存在し、上部ゲート106と部分的にオーバーラップしている。下部ゲート105のゲート長は電子の波長程度(~10nm)と短い。

【0020】次に本実施の形態におけるデバイス動作について述べる。

【0021】上部ゲート106に正電圧を印加することにより、半導体基板101表面に反転層104を誘起する。下部ゲート105の電位が0Vである場合、この反転層104は下部ゲート105に隣接した半導体基板101表面に形成され、この下部ゲート105下には形成されない。

【0022】図1(b)におけるB-B'線でのバンドダイアグラムを図1(c)に示す。反転層は下部ゲート105下には形成されないため、下部ゲート下の半導体基板101表面には電位バリアが形成される。下部ゲート長は電子の波長程度であるため、電位バリア幅もこの程度となり、ソース102に対してドレイン103に正電圧を印加すると、ソース側の反転層からドレイン側の反転層へ、電子がトンネリングすることが可能になる。電子のトンネリング確率は電位バリア高に依存するため、下部ゲート105により電位バリア高を変調することにより、トランジスタ動作が可能になる。

【0023】以上の構造は以下の方法により形成可能である。

【0024】 10^{18} cm^{-3} 程度のボロンを含んだシリコン基板上に、100nmのシリコン酸化膜をCVD法により成長する。フォトリソグラフィー技術及びウェットエッチング技術により、素子形成領域のみ前記酸化膜を除去する。しかし後に熱酸化により、素子形成領域に厚さ約3nmのシリコン酸化膜を成長する。

【0025】引き続きCVD法によりポリシリコンを30nm成長し、このポリシリコンに900°Cでリン拡散を行う。次に電子線リソグラフィー技術及びRIEにより、ポリシリコンの加工を行い、ゲート長10nm、ゲート幅10μmを持つ下部ゲート105を形成する。

【0026】次に、フォトリソグラフィー技術及びイオン注入技術により、砒素を50KeVのエネルギーで 10^{16} cm^{-2} 程度基板内に選択的に注入し、ソース102、ドレイン103を形成する。続いて、CVD法により20nmの膜厚のシリコン酸化膜を堆積した後、窒素雰囲気中で900°Cのアニールを行い、イオン注入領域の活性化を行う。

【0027】次に、フォトリソグラフィー技術及びウェットエッチング技術により、半導体基板101、ソース102、ドレイン103、下部ゲート105上的一部の絶縁膜を除去し、コンタクト孔を開口する。

【0028】最後に、アルミを約500nmスパッタし、フォトリソグラフィー技術およびRIEにより、電極形成および上部ゲート106形成を行う。

【0029】以上のようにして作製したデバイスにおいて、上部ゲート106に15V、ソース102に0V、ドレイン103に1V、下部ゲート105に0Vを印加した場合、室温においてドレイン電流が観測された。また、この電流はゲート長が100nmのデバイスでは観測されないこと、電流の大きさは温度変化に対し余り変化を示さないことから、この電流はソース・ドレイン間のトンネル電流であると考えられる。また、この電流は下部ゲート105電圧の増加に伴い増加し、下部ゲート電圧0.5Vで1μAまで達した。

【0030】第2の実施の形態

本発明のトンネル素子の第2の実施の形態の平面図を図2(a)に示す。また、図2(a)におけるA-A'線断面図を図2(b)に示す。

【0031】 $10^{14} \sim 10^{19} \text{ cm}^{-3}$ 程度のp型不純物を含んだ半導体基板201上に絶縁膜207が存在し、この絶縁膜207上に下部ゲート205が存在する。この下部ゲート205上には、絶縁膜207を介して上部ゲート206が存在する。

【0032】下部ゲート205下の絶縁膜207の厚さは数nm～数十nm程度であり、下部ゲート205上の絶縁膜207の膜厚も数nm～数十nm程度である。

【0033】素子を形成しない領域における絶縁膜107の膜厚は、素子間の電気的干渉を避けるため、数十nm～数百nm程度に厚くなっている。

【0034】前記上部ゲート206に隣接した半導体基板201表面には、n型不純物を 10^{19} cm^{-3} 以上含んだソース202、ドレイン203が存在し、上部ゲート206と部分的にオーバーラップしている。下部ゲート205のゲート長は、電子の波長程度(～10nm)の短い領域と、電子の波長以上の長さをもつ領域の2種の領域からなり、ゲート長の短い領域の幅は、数十nm程度である。

【0035】次に本実施の形態におけるデバイス動作について述べる。

【0036】上部ゲート206に正電圧を印加することにより、半導体基板201表面に反転層204を誘起する。下部ゲート205の電位が0Vである場合、この反転層204は下部ゲート205に隣接した半導体基板201表面に形成され、この下部ゲート205下には形成されない。

【0037】図2(b)におけるB-B'線でのバンドダイアグラムを図2(c)に示す。反転層は下部ゲート205下には形成されないため、下部ゲート下の半導体基板201表面には電位バリアが形成される。下部ゲート長は電子の波長程度であるため、電位バリア幅もこの程度となり、ソース202に対してドレイン203に正電圧を印加すると、ソース側の反転層からドレイン側の反転層へ、電子がトンネリングすることが可能になる。またこの場合、トンネリング電流に寄与するゲート長に小さな領域の幅は数十nm程度であるため、この領域の両側の反転層204内の電子は、1次元状態に量子化され、離散的なエネルギー順位が形成される。

【0038】いま、図2(c)のように、ソース202側の反転層内にエネルギー順位 E_{S1} 、 E_{S2} 、 E_{S3} が形成され、ドレイン203側の反転層内にエネルギー順位 E_{D1} 、 E_{D2} 、 E_{D3} が形成されているものとする。また、ソース側、ドレイン側の反転層内のフェルミエネルギーをそれぞれエネルギー順位 E_{FS} 、 E_{FD} とする。ドレイン電圧が小さい場合、 $E_{D1} < E_{S1} < E_{D2}$ となるためトンネル電流は流れないが、ドレイン電圧が大きくなり $E_{S1} = E_{D2}$ が成立すると、トンネル電流が流れようになる。さらに、ドレイン電圧を増加し、 $E_{D2} < E_{S1} < E_{D3}$ となるとトンネル電流は減少するが、 $E_{S1} = E_{D3}$ が成立すると再びトンネル電流が増加する。このように本実施の形態においては、ドレイン電圧の増加にともない電流が周期的に増減する電流電圧特性を得ることができる。ま

た、電子のトンネリング確率は電位バリア高に依存するため、下部ゲート205により電位バリア高を変調することにより、トランジスタ動作が可能になる。ゲート長の長い領域は、ソース・ドレイン間のトンネリングが不可能であるため、この領域ではトンネル電流は流れない。

【0039】以上の構造は以下の方法により形成可能である。

【0040】 10^{18} cm^{-3} 程度のボロンを含んだシリコン基板上に、100nmのシリコン酸化膜をCVD法により成長する。フォトリソグラフィー技術及びウェットエッティング技術により、素子形成領域のみ前記酸化膜を除去する。しかる後に熱酸化により、素子形成領域に厚さ約3nmのシリコン酸化膜を成長する。

【0041】引き続きCVD法によりポリシリコンを30nm成長し、このポリシリコンに900°Cでリン拡散を行う。次に電子線リソグラフィー技術及びRIEにより、ポリシリコンの加工を行い、下部ゲート205を形成する。この下部ゲートは、2種類のゲート長(10nm、100nm)を有しており、ゲート長の短い領域の幅は30nmである。

【0042】次に、フォトリソグラフィー技術及びイオン注入技術により、砒素を50KeVのエネルギーで 10^{16} cm^{-2} 程度基板内に選択的に注入し、ソース202、ドレイン203を形成する。続いて、CVD法により20nmの膜厚のシリコン酸化膜を堆積した後、窒素雰囲気中で900°Cのアニールを行い、イオン注入領域の活性化を行う。

【0043】次に、フォトリソグラフィー技術及びウェットエッティング技術により、半導体基板201、ソース202、ドレイン203、下部ゲート205上の一の絶縁膜を除去し、コンタクト孔を開口する。

【0044】最後に、アルミを約500nmスパッタし、フォトリソグラフィー技術およびRIEにより、電極形成および上部ゲート206形成を行う。

【0045】以上のようにして作製したデバイスにおいて、上部ゲート206を15V、ソース202を0V、下部ゲート205を0Vに設定し、ドレイン電圧を印加していった場合、ドレイン電圧が52mV及び124mVで2つのドレイン電流のピークが観測された。また、この電流は100nmの均一なゲート長を持つデバイスでは観測されないこと、電流の大きさは温度変化に対し余り変化を示さないことから、この電流はソース・ドレイン間のトンネル電流であると考えられる。また、この電流は下部ゲート205電圧の増加に伴い増加し、ドレイン電圧50mV、下部ゲート電圧0.5Vで10mAまで達した。

【0046】

【発明の効果】以上説明したように本発明のトンネル素子においては、バンド内トンネリング現象を利用するため、シリコンなどのような間接バンドギャップ型半導体においても、従来のバンド間トンネリングを利用したもののに比べ、より大きなトンネル電流を確保可能であり、ドライブ能力に優れる利点を持つ。また、負性微分

抵抗特性を用いた多値論理により、メモリ、ロジック回路における素子数の大幅な低減も可能となる。

【図面の簡単な説明】

【図1】本発明のトンネル素子の説明図である。

【図2】本発明のトンネル素子の説明図である。

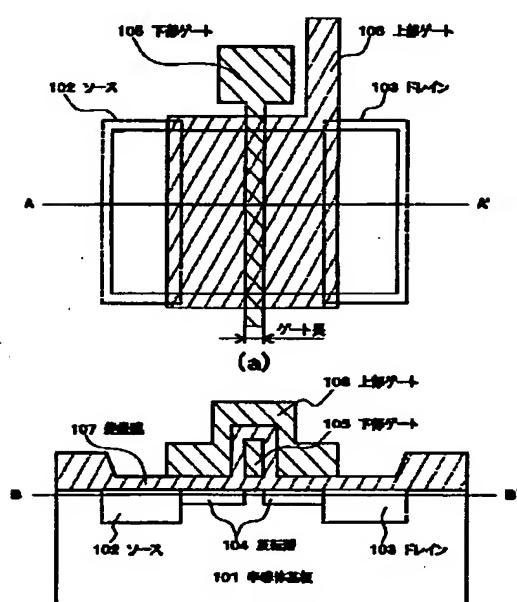
【図3】従来のトンネル素子の説明図である。

【符号の説明】

101,201,301 半導体基板

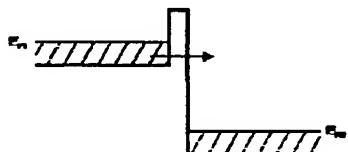
- 102,202,302 ソース
- 103,203,303 ドレイン
- 104,204,304 反転層
- 105,205 下部ゲート
- 106,206 上部ゲート
- 107,207,307 絶縁膜
- 308 ゲート

【図1】



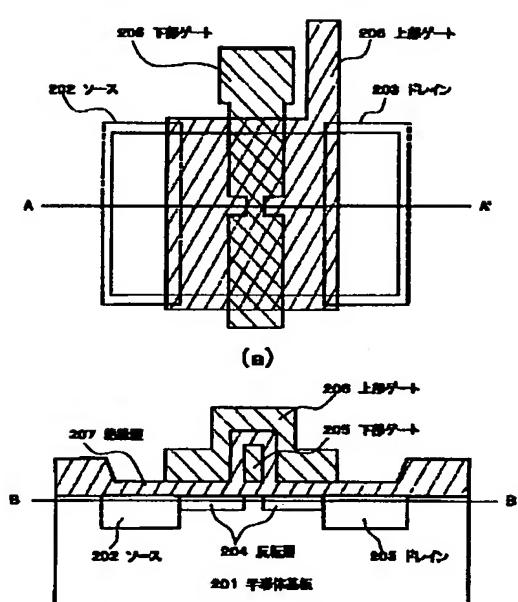
(a)

(b)



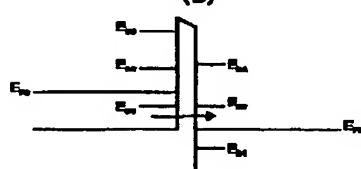
(c)

【図2】



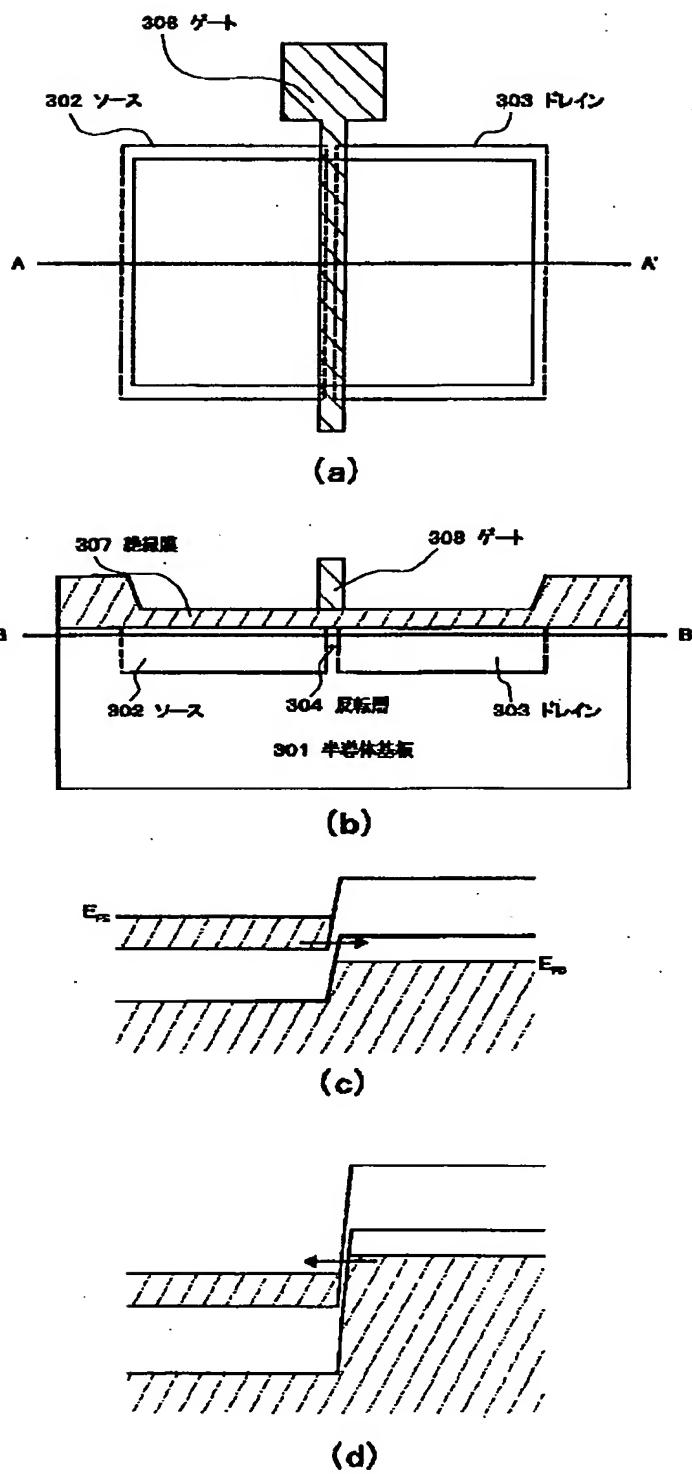
(a)

(b)



(c)

【図3】



フロントページの焼き

(51) Int.Cl.⁶
H 01 L 29/788
29/792

識別記号

F I